

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日                      2003年 2月 7日  
Date of Application:

出願番号                      特願2003-030309  
Application Number:  
[ST. 10/C]:                      [JP2003-030309]

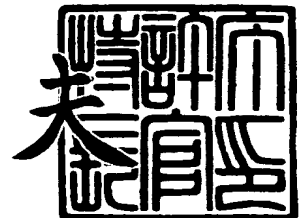
出願人                      株式会社ルネサステクノロジ  
Applicant(s):



2003年10月22日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



出証番号    出証特2003-3087003

【書類名】 特許願

【整理番号】 H03000221

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/34

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 飯田 哲也

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 金森 賢樹

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 四方 淳史

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 田村 隆之

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 片山 国弘

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

## 【代理人】

【識別番号】 100085811

## 【弁理士】

【氏名又は名称】 大日方 富雄

## 【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性記憶装置

【特許請求の範囲】

【請求項 1】 複数の外部端子とコントローラと不揮発性メモリとを有し、前記コントローラが前記複数の外部端子のいずれかから入力された制御情報に応じて、他の外部端子から入力されたデータを上記不揮発性メモリの指定した領域に格納動作制御する不揮発性記憶装置であって、

データ信号が入力される複数の外部データ端子と、これらの外部データ端子を電源電圧にプルアップするプルアップ手段と、前記外部データ端子の電位を検出するレベル検出手段と、前記複数の外部データ端子に入力されたデータ信号を選択的に取り込んで所定のバス幅のデータとして内部回路に転送するデータ転送回路とを備え、前記レベル検出手段は前記制御情報の入力時に前記複数の外部データ端子のうち所定のものの電位を検出し、前記データ転送回路は前記所定の外部データ端子の電位の組合わせに応じて前記バス幅を決定することを特徴とする不揮発性記憶装置。

【請求項 2】 前記外部データ端子は 8 個であり、このうち前記レベル検出手段により電位が検出される外部データ端子は 4 個であることを特徴とする請求項 1 に記載の不揮発性記憶装置。

【請求項 3】 前記レベル検出手段により前記 4 個の外部データ端子の電位がすべて所定の電位よりも高いことが検出された場合に、前記データ転送回路は前記所定の外部データ端子のいずれか 1 つの端子に入力されているデータ信号を取り込んで内部回路へ転送することを特徴とする請求項 2 に記載の不揮発性記憶装置。

【請求項 4】 前記レベル検出手段により前記 4 個の外部データ端子の電位のうちいずれか 1 つが所定の電位よりも低いことが検出された場合に、前記データ転送回路は前記所定の外部データ端子のいずれか 1 つの端子に入力されているデータ信号を、前記 4 個の外部データ端子の電位がすべて所定の電位よりも高い場合よりも高速で取り込んで内部回路へ転送することを特徴とする請求項 3 に記載の不揮発性記憶装置。

【請求項 5】 前記レベル検出手段により前記 4 個の外部データ端子の電位のうちいずれか他の 1 つが所定の電位よりも低いことが検出された場合に、前記データ転送回路は前記所定の外部データ端子以外の 4 個の外部データ端子に入力されているデータ信号を取り込んで内部回路へ転送することを特徴とする請求項 4 に記載の不揮発性記憶装置。

【請求項 6】 前記レベル検出手段により前記 4 個の外部データ端子の電位のうちさらにいずれか他の 1 つが所定の電位よりも低いことが検出された場合に、前記データ転送回路は前記 8 個の外部データ端子のすべてに入力されているデータ信号を取り込んで内部回路へ転送することを特徴とする請求項 5 に記載の不揮発性記憶装置。

【請求項 7】 前記 8 個の外部データ端子のうち 1 つは制御信号が入力される端子を兼用するように構成されていることを特徴とする請求項 6 に記載の不揮発性記憶装置。

【請求項 8】 前記プルアップ手段は前記コントローラが形成されている半導体チップ上に形成されていることを特徴とする請求項 1～7 のいずれかに記載の不揮発性記憶装置。

【請求項 9】 前記外部データ端子より取り込まれ前記データ転送手段により転送されたデータを前記不揮発性メモリへ書き込む前に記憶する揮発性メモリをさらに有することを特徴とする請求項 1～8 のいずれかに記載の不揮発性記憶装置。

【請求項 10】 前記制御情報の入力を検出して前記レベル検出回路における検出タイミングを知らせるタイミング生成回路をさらに備えることを特徴とする請求項 1～9 のいずれかに記載の不揮発性記憶装置。

#### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

本発明は、不揮発性記憶装置に適用して有効な技術に関し、例えばフラッシュメモリのような不揮発性半導体メモリを内蔵したカード型記憶装置に利用して有効な技術に関する。

## 【0002】

## 【従来の技術】

近年、デジタルカメラなどの携帯用電子機器のデータ記憶媒体として、電源電圧を遮断しても記憶データを保持できるフラッシュメモリなどの不揮発性メモリを内蔵したメモリカードと呼ばれるカード型記憶装置が広く利用されるようになって来ている。

## 【0003】

ところで、従来のカードメモリメモリカードは、マルチメディアカード（MultiMediaCard（登録商標））に代表されるようにカードとカードを読取る装置との間でデータをシリアルに入出力する方式が一般的であった。これは、メモリカードの大きさは小さい（切手程度）ため、十分な数の外部端子を設けることが製造上困難であったことと、端子数が多いと端子間隔が狭くなりカードとカードを読取る装置との電氣的接続を図るのが困難になるためである。

## 【0004】

## 【発明が解決しようとする課題】

しかしながら、近年、製造技術の進展に伴いメモリカードに設けることが可能な端子数が増加しつつある。そこで、本発明者等は、メモリカードに設けるデータ端子数を増やしてデータをパラレルに入出力させることでデータ転送の高速化を図ることについて検討を行なった。

その結果、端子数を増加させることは可能であるが、互換性を考慮しないで単に端子数の多いメモリカードを提供したのでは、既存のカード読取り装置にカードを挿入した時にデータのリード／ライトを行なうことができないという課題があることが明らかになった。

## 【0005】

この発明の目的は、不揮発性メモリを内蔵したカード型記憶装置における互換性を保証しつつデータ転送の高速化を達成することが可能な技術を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

## 【0006】

## 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、不揮発性メモリを内蔵したカード型記憶装置において、データ端子を複数個（例えば8個）設けるとともにインタフェース部にはデータ端子のレベルを判別する回路を設け、上記複数のデータ端子のすべてもしくは幾つか（例えば4個）を電源電圧にプルアップするプルアップ抵抗を設け、プルアップ抵抗が接続されたデータ端子がオープン状態にあると上記判別回路が判定した場合にはデータ転送速度もしくはデータ転送のバス幅（並列ビット数）を切り替えるように構成したものである。

## 【0007】

上記した手段によれば、既存のカード読取り装置はデータ端子を複数個有するカード型記憶装置の新たに追加されたデータ端子には信号を入力することができないため、プルアップ抵抗が接続され信号が入力されないデータ端子は電源電圧にプルアップされたままになるので、上記判別回路がデータ端子のレベルを検出することでオープン状態にあると判定することができる。この判定結果に基づいてデータ転送速度もしくはデータ転送のバス幅を決定することにより、従来の記憶装置との互換性を保証することができる。

## 【0008】

また、カード読取り装置がデータ端子を複数個有する記憶装置に対応可能なものである場合には、データ転送速度を上昇もしくはデータ転送のバス幅を広げることにより単位時間内のデータの転送量を増加させて高速化を達成することができる。ここで、上記判別回路によるデータ端子のレベルの判定は、外部からコマンドが入力されたタイミングで行なうようにするのが望ましい。これにより、プルアップ抵抗が接続されたデータ端子のレベルを変化させる時間を短くして消費電力の増加を回避することができる。

## 【0009】

ここで、望ましくは、外部データ端子のうち1つは制御信号が入力される端子

を兼用するように構成する。これによって、所望のビット数のデータを入出力可能にするためにカード型記憶装置に設けるべき外部端子数を少なくすることができる。さらに、望ましくは、前記プルアップ抵抗は前記コントローラが形成されている半導体チップ上に形成する。これによって、実装する部品点数を減らしカード型記憶装置の実装密度を高めることができる。

#### 【0010】

#### 【発明の実施の形態】

以下、本発明の好適な実施例を図面に基づいて説明する。

図1は、本発明が適用される不揮発性メモリを内蔵したメモリカードの第1の実施例を示す。

この実施例のメモリカード100は、特に制限されないが、所定の単位でデータを電氣的に一括消去することが可能なフラッシュメモリ（FLASH）110と、外部から供給されるコマンドに基づいて上記フラッシュメモリ110に対するデータの書込みや読出しを行なうコントローラ120とからなる。フラッシュメモリ110とコントローラ120は、それぞれ別個の半導体チップ上に半導体集積回路として形成されており、これら2つの半導体チップが図示しない基板上に実装され全体が樹脂でモールドもしくはセラミックパッケージ等に収納されてカードとして構成されている。

#### 【0011】

また、カードの一側には、外部の装置のカードスロットに挿入されたときに外部装置側の回路と電氣的に接続され、外部の装置からメモリカード100に対して電源を供給したり信号の入出力を行なうための外部端子群130が設けられ、これらの外部端子は上記基板上に形成されたプリント配線もしくはボンディングワイヤによって上記コントローラ120の外部端子としてのパッドに接続される。フラッシュメモリ110とコントローラ120との間はプリント配線によって接続してもよいし、コントローラ120の上にとフラッシュメモリ110とをいずれか一方の上に他方を搭載してボンディングワイヤによって接続するようにしてもよい。

#### 【0012】



コントローラ 120 は、データ転送などカード内部全体の制御を行なうマイクロプロセッサ (MPU) 121 と、外部の装置との間の信号のやり取りを行なうホストインタフェース部 122 と、フラッシュメモリ 120 との間の信号のやり取りを行なうメモリインタフェース部 123 と、外部から入力されたコマンドや書込みデータ、フラッシュメモリ 110 から読み出された読出しデータを一次保持する RAM (ランダムアクセスメモリ) などからなるバッファメモリ 124 と、該バッファメモリ 124 に対するデータの書込み読出しの制御を行なうバッファ制御部 125 などから構成されている。バッファ制御部 125 には、フラッシュメモリ 110 への書込みデータに対するエラー訂正符号の生成およびエラー訂正符号に基づく読出しデータのチェックと訂正の機能を有するエラー訂正符号生成&エラー訂正回路を設けることも可能である。

#### 【0013】

フラッシュメモリ 110 はフローティングゲートを有する絶縁ゲート型電界効果トランジスタからなる不揮発性メモリセルがマトリックス状に配設されたメモリアレイや、外部より入力されたアドレス信号をデコードしてメモリアレイ内の対応するワード線を選択レベルにするワードデコーダ、メモリアレイ内のビット線に接続され読み出しデータおよび書き込みデータを保持するデータラッチ、書き込み消去に必要な高電圧を発生する昇圧回路などから構成されている。このフラッシュメモリ 110 は、MPU 121 からの指示 (コマンド) に従ってデータの書込み、読出しの制御を行なういわゆるフラッシュコントローラを内蔵したものであってもよいし、フラッシュコントローラを内蔵しないフラッシュメモリの場合にはフラッシュコントローラの機能をバッファ制御部 125 もしくは MPU 121 に持たせることも可能である。

#### 【0014】

また、フラッシュメモリ 110 は、コマンドと制御信号に基づいて動作するように構成されている。フラッシュメモリに有効なコマンドとしては、リードコマンドの他、ライトコマンド、消去コマンド等がある。さらに、フラッシュメモリ 110 へ入力される制御信号としては、チップ選択信号 CE やリードかライトかを示す書き込み制御信号 WE、出力タイミングを与える出力制御信号 OE、シス

テムクロック SC、コマンド入力かアドレス入力かを示すためのコマンドイネーブル信号 CDE などがある。これらのコマンドや制御信号は、MPU 121 等から与えられる。

#### 【0015】

図 1 には、便宜上、従来のマルチメディアカードと呼ばれるカードメモリに設けられる外部端子を示した。本実施例のメモリカードに設けられる外部端子の詳細は、図 2 に示されている。これについては後で説明する。

図 1 に示されているように、従来のマルチメディアカード（以下、MMC と記す）と呼ばれるカードメモリに設けられる外部端子は、カードが選択状態もしくはイネーブル状態にあることを知らせるための端子 131 と、外部装置からカードに対して与えられるコマンドが入力されるコマンド端子 132 と、接地電位  $V_{ss1}$ 、 $V_{ss2}$  を受ける 2 つの接地端子 133、136 と、電源電圧  $V_{cc}$  を受ける電源端子 134 と、タイミングを与えるクロック信号 CK を受けるクロック端子 135 と、外部装置からカードに対して与えられるライトデータが入力されるとともにカードから読み出されたリードデータをホスト CPU に対して出力するデータ端子 137 の 7 本である。このようにデータ端子が 1 つの場合には、データの入出力はシリアルに行なわれる。

#### 【0016】

一方、本実施例のメモリカードには、図 2 に示されているように、従来のマルチメディアカードに設けられる外部端子 131～137 の他に、データを入出力するための 6 本の外部端子 138～143 が設けられている。また、カードが選択状態もしくはイネーブル状態にあることを知らせるための端子 131 はデータの入出力端子と兼用されている。従って、本実施例のメモリカードに設けられているデータを入出力可能な外部端子は 131 と 137 と 138～143 の全部で 8 本である。これにより、本実施例のメモリカードは、最大 8 ビットのデータをパラレルに入出力することが可能となる。

#### 【0017】

図 2 には、ホストインタフェース部 122 に設けられている回路のうち本発明に関連する素子と回路ブロックが示されている。

図2に示されているように、本実施例のメモ리카ードのデータ入出力端子131, 137~143には、電源電圧 $V_{cc}$ との間にプルアップ抵抗 $R_0 \sim R_7$ が接続されているとともに、外部端子のレベルを検出するためのレベル検出回路221と、検出タイミングを与えるタイミング生成回路222と、レベル検出回路221からの制御信号に応じてデータのバス幅を切り替えてデータの転送を行なうデータ転送回路223とが設けられている。レベル検出回路221は、適当な論理しきい値を有するインバータのような論理ゲート回路もしくは参照電圧と入力電圧とを比較するコンパレータなどにより構成することができる。

#### 【0018】

上記レベル検出回路221には、プルアップ抵抗 $R_0 \sim R_7$ が接続された外部端子131, 137~143のうち端子140~143の4つの端子の電位が入力されており、レベル検出回路221はタイミング生成回路222から供給される信号のタイミングで端子140~143の電位がハイレベルかロウレベルかを検出しその状態に応じた制御信号を生成してデータ転送回路223へ供給する。

#### 【0019】

タイミング生成回路222は、ワンショットパルス生成回路などで構成されており、外部の装置から端子132へコマンドが入力されると制御パルス $CMD\_PULSE$ を生成してレベル検出回路221に供給する。他の外部端子131, 137~139に入力された信号は、データ転送回路223へ直接供給される。外部端子132に入力されたコマンド $CMD$ は、 $MPU121$ へも供給される。

#### 【0020】

ここで、外部の装置からカードに入力されるコマンドには、例えばカードからのデータの読出しを指示するリードコマンド、カードへのデータの書込みを指示するライトコマンド、カード内部が初期状態になるように指示するリセットコマンド等がある。この実施例では、タイミング生成回路222は、いずれのコマンドが入力された場合にも制御パルス $CMD\_PULSE$ を生成するように構成されているが、例えばリードコマンドやライトコマンドのような所定のコマンドが入力された場合にのみ制御パルス $CMD\_PULSE$ を生成するように構成してもよい。上記プルアップ抵抗 $R_0 \sim R_7$ は外付け素子としても良いが、本実施例ではコントローラ

チップ 120 内に設けられている。これにより、カードの実装密度が高くなる。

#### 【0021】

レベル検出回路 221 は、ワンショットパルス CMD\_PULSE を受けるとそのときの外部端子 140～143 の電位状態に応じて、データ転送回路 223 に対してライトデータまたはリードデータを 1 ビット扱い（シリアルデータ転送）とするか、4 ビットのデータ扱い（4 ビットパラレルデータ転送）とするか、4 ビット 8 ビットのデータ扱い（4 ビットパラレルデータ 8 ビットパラレルデータ転送）とするか指示する制御信号を出力する。4 ビットのデータの場合、データは外部端子 131, 137～139 を介して入出力され、8 ビットのデータの場合、データは外部端子 131, 137～143 を介して入出力される。

#### 【0022】

レベル検出回路 221 からデータ転送回路 223 に供給される制御信号は、特に制限されるものでないが、本実施例では、モード選択信号 MDSL T とバス幅を指示するイネーブル信号 MMC1EN, MMC4EN, MMC8EN の 4 つとされている。

#### 【0023】

データ転送回路 223 は、データラッチ回路とシリアルーパラレル変換回路などで構成されており、レベル検出回路 221 からの制御信号に応じて動作する。データラッチ回路とシリアルーパラレル変換回路の代わりにデータセレクトのような回路を設けるようにしても良い。データ転送回路 223 には、MPU121 から入力されたコマンドに応じてデータの転送方向すなわち外部端子からのライトデータの取込みかフラッシュメモリ 110 から読み出されたリードデータの出力かを示す信号 W/R が供給される。

なお、データ転送回路 223 には、内部のバスの構成に応じて入力された 4 ビットまたは 8 ビットのデータを 16 ビットや 32 ビットのようなデータに変換してバッファ制御部 125 へ転送またはその逆の変換を行なう機能を持たせるようにしても良い。つまり、内部バスは 8 ビットに限定されるものでない。

#### 【0024】

表 1 には、上記外部端子 140～143 の状態とレベル検出回路 221 により

判定される動作モードおよびデータ転送回路 223 において設定されるデータのバス幅との関係の一例を示す。

【0025】

【表 1】

MODE	バス幅	DAT7	DAT6	DAT5	DAT4
MMC	×1	H	H	H	H
高速版	×1	L	L	L	L
MMC/	×4	L	H	L	L
SMC	×8	H	L	L	L

【0026】

表 1 に示されているように、外部端子 140～143 の電位が全てハイレベルのときレベル検出回路 221 は従来タイプの MMC モードと判定しデータ転送回路 223 に対して外部端子 137 のみからのデータ信号の取込みを指示する制御信号を出力する。具体的には、モード選択信号 MD S L T をハイレベルとし、イネーブル信号 MMC 1 E N, MMC 4 E N, MMC 8 E N をすべてロウレベルとする。

【0027】

また、外部端子 140～143 の電位が全てロウレベルのときレベル検出回路 221 は高速版の MMC モードと判定しデータ転送回路 223 に対して外部端子 137 のみからのデータ信号の高速取込みを指示する制御信号を出力する。具体的には、モード選択信号 MD S L T とイネーブル信号 MMC 1 E N をハイレベルとし、イネーブル信号 MMC 4 E N と MMC 8 E N をロウレベルとする。

【0028】

また、外部端子 140～143 のうち端子 142 (DAT 6) の電位がハイレベルのときレベル検出回路 221 は高速版の 4 ビット MMC モードと判定しデータ転送回路 223 に対して外部端子 131, 137～139 からの 4 ビットのデータ信号の並列取込みを指示する制御信号を出力する。具体的には、モード選択信号 MD S L T とイネーブル信号 MMC 4 E N をハイレベルとし、イネーブル信号 MMC 1 E N と MMC 8 E N をロウレベルとする。

**【0029】**

さらに、外部端子140～143のうち端子143（DAT7）の電位がハイレベルのときレベル検出回路221は高速版の8ビットMMCモードと判定しデータ転送回路223に対して外部端子131，137～143からの8ビットのデータ信号の並列取込みを指示する制御信号を出力する。具体的には、モード選択信号MDSLTとイネーブル信号MMC8ENをハイレベルとし、イネーブル信号MMC1ENとMMC4ENをロウレベルとする。

**【0030】**

なお、上記表1は一例であって、外部端子140（DAT4）または141（DAT5）の電位がハイレベルのときにレベル検出回路221が高速版の8ビットMMCモードまたは高速版の4ビットMMCモードと判定するようにしてもよい。また、外部端子140（DAT4）～143（DAT7）のうちいずれか2つまたは3つの電位がハイレベルのときにレベル検出回路221が高速版の8ビットMMCモードまたは高速版の4ビットMMCモードと判定するようにしてもよい。要するに、外部端子140（DAT4）～143（DAT7）の電位の組合わせとモードとの関係は、従来タイプのMMCモードを除き自由に設定することができる。

**【0031】**

次に、上記のように構成された第1の実施例のメモリカードの動作を、図3～図6のタイミングチャートを用いて説明する。

メモリカードが外部装置のカードスロットに挿入され、外部装置からカードの外部端子132にコマンドが入力されると、図3に示すように、制御パルスCMD\_PULSEが生成される（タイミングt1）。メモリカードが挿入された外部装置のカードスロットが、図1に示されているように7本の外部端子しか有しない従来タイプのMMCに対応した装置である場合、外部端子138～143は未接続にされるため、プルアップ抵抗R1～R7によってハイレベル（電源電圧Vcc）の状態にされる。

**【0032】**

そのため、レベル検出回路221は、外部端子140～143の電位が全てハ

イレベルであることを検出し、接続された装置が従来タイプのMMC対応の外部装置であると判定してデータ転送回路223に対して供給される信号MDSL TとMMC1EN~MMC8ENのうちMDSL Tのみがロウレベルからハイレベルに変化される(図3のタイミングt2)。

#### 【0033】

そして、接続された外部装置から入力されたコマンドがライトコマンドの場合、これを受けてデータ転送回路223は外部端子137からシリアルに入力されるデータ(DAT0)の取込みを開始する(タイミングt3)。また、接続された外部装置から入力されたコマンドがリードコマンドであった場合、フラッシュメモリ110から読み出されたデータをシリアルデータとして端子131へ出力させる。このとき、データの入出力は外部端子135に入力されているクロック信号CLKに基づいて行なわれる。

#### 【0034】

次に、メモリカードが挿入された外部装置のスロットが、従来タイプのMMCに設けられている7本の外部端子の他に外部端子138~143を有するカードに対応したものであり、外部装置から外部端子140~143のすべてにロウレベルの電位が入力された状態でコマンドが入力されると、レベル検出回路221は、外部端子140~143の電位がロウレベルであることを検出し、高速版MMC対応の外部装置であると判定してデータ転送回路223に対して供給される信号MDSL TとMMC1EN~MMC8ENのうちMDSL TとMMC1ENがロウレベルからハイレベルに変化される(図4のタイミングt12)。

#### 【0035】

これを受けてデータ転送回路223は外部端子137からシリアルに入力されるデータ(DAT0)の取込みまたは出力を開始する(タイミングt13)。このときのデータ取込みまたは出力は、図3と図4の期間T1を参照すると分かるように、従来タイプのMMCのデータ取込みまたは出力よりも高速で行なわれる。

#### 【0036】

次に、メモリカードが挿入された外部装置のスロットが、従来タイプのカード

に設けられている 7 本の外部端子の他に外部端子 138～143 を有するカードに対応したものであり、外部装置から外部端子 140～143 のうち 140 と 141, 143 にロウレベルの電位を入力してきた場合、プルアップ抵抗 R6 によって端子 142 の電位のみがハイレベル（電源電圧  $V_{cc}$ ）の状態にされる。

#### 【0037】

この状態で外部装置からコマンドが入力されると、レベル検出回路 221 は、外部端子 142 の電位がハイレベルで、外部端子 140 と 141, 143 の電位がロウレベルであることを検出し、高速版 4 ビット MMC 対応の外部装置であると判定してデータ転送回路 223 に対して供給される信号 MDSL T と MMC1 EN～MMC8 EN のうち MDSL T と MMC4 EN がロウレベルからハイレベルに変化される（図 5 のタイミング  $t_{22}$ ）。

#### 【0038】

そして、接続された外部装置から入力されたコマンドがライトコマンドの場合、これを受けてデータ転送回路 223 は外部端子 131 と 137～139 から 4 ビットの平行データの入込みを開始する（タイミング  $t_{23}$ ）。また、入力されたコマンドがリードコマンドであった場合、フラッシュメモリ 110 から読み出されたデータは 4 ビットの平行データとして端子 131 および 137～139 へ出力される。

#### 【0039】

次に、メモリカードが挿入された外部装置のスロットが、従来タイプのカードに設けられている 7 本の外部端子の他に外部端子 138～143 を有するカードに対応したものであり、外部装置から外部端子 140～143 のうち 140～142 にロウレベルの電位を入力してきた場合、プルアップ抵抗 R7 によって端子 143 の電位のみがハイレベル（電源電圧  $V_{cc}$ ）の状態にされる。

#### 【0040】

この状態で外部装置からコマンドが入力されると、レベル検出回路 221 は、外部端子 143 の電位がハイレベルで、外部端子 140 と 141, 142 の電位がロウレベルであることを検出し、高速版 8 ビット MMC 対応の外部装置であると判定してデータ転送回路 223 に対して供給される信号 MDSL T と MMC1



EN～MMC8ENのうちMDSL TとMMC8ENがロウレベルからハイレベルに変化される（図6のタイミングt32）。

#### 【0041】

そして、接続された外部装置から入力されたコマンドがライトコマンドの場合、これを受けてデータ転送回路223は外部端子131と137～143から8ビットの平行データの入込みを開始する（タイミングt33）。また、入力されたコマンドがリードコマンドであった場合、フラッシュメモリ110から読み出されたデータは8ビットの平行データとして端子131および137～143へ出力される。

#### 【0042】

次に、本発明に係るメモリカードの第2の実施例について、図7および図8を用いて説明する。

第2の実施例と第1の実施例の相違は、第1の実施例ではレベル検出回路221が4つの外部端子140～143の状態から動作モードを判定するのに対し、第2の実施例ではレベル検出回路221が8つの外部端子131および137～143の状態から動作モードを判定する点にある。そのため、第2の実施例では、外部端子140～143の電位のほかに外部端子131および137～139の電位もレベル検出回路221に入力されるように構成されている。また、これらの端子の状態に応じてレベル検出回路221からはいずれの端子の入力を有効とするか示す8種類の信号DAT7EN～DAT0ENを生成してデータ転送回路223へ供給するように構成されている。

#### 【0043】

これによって、この第2の実施例のメモリカードでは、シリアルデータ転送、4ビット平行転送および8ビット平行転送の他に、2ビット平行転送や3ビット平行転送、6ビット平行転送など任意のビット数のデータ転送が可能であるとともに、データを入出力する端子も端子131および137～143の中から任意に決定することができるという利点がある。

#### 【0044】

図8は、上記のように構成された第2の実施例のメモリカードの端子131お

よび137～139の電位がロウレベルにされ、端子140～143がハイレベルにされたときの動作のタイミングを示す。この実施例においても、レベル検出回路221による外部装置のタイプの判定は、コマンドが入力されたときの外部端子131および137～143の電位の状態を検出することで行なわれる。

#### 【0045】

図8に示されているように、コマンドが入力されたときの外部端子131および137～143の電位DAT0～DAT7のうちDAT0～DAT3がロウレベルでDAT4～DAT7の電位がハイレベルの場合、レベル検出回路221はデータ転送回路223に対する信号DAT7EN～DAT0ENのうちDAT3EN～DAT0ENのみを有効レベル（例えばハイレベル）に変化させて、端子131および137～139のデータDAT0～DAT3は有効であり、端子140～143のデータDAT4～DAT7は無効であることをデータ転送回路223に知らせる。

#### 【0046】

すると、データ転送回路223は、入力されたコマンドがライトコマンドであった場合、データDAT0～DAT3のみ取り込んでバッファ制御部123へ転送する。また、入力されたコマンドがリードコマンドであった場合、フラッシュメモリ110から読み出されたデータは4ビットの平行データとして端子131および137～139へ出力される。

#### 【0047】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば実施例では、マルチメディアカード（MMC）に適用した場合を説明したが、同様の仕様を有し例えば音楽コンテンツのような著作物の不正コピーを防止するためのセキュリティを向上させたSMC（Secure Mobile Card）と呼ばれるメモリカードや他の規格のメモリカードに対しても本発明を適用することができる。また、コントローラチップ120の構成は図1のものに限定されるものでなく、例えばバッファメモリ124およびバッファ制御部125を有していなくてもよい。

**【0048】**

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリを内蔵したメモリカードに適用した場合について説明したが、この発明はそれに限定されるものでなく、EEPROMチップその他の不揮発性メモリチップを内蔵したメモリカードあるいは複数の不揮発性メモリとコントロールLSIをプリント配線基板上に搭載してなるメモリモジュールなどにも利用することができる。

**【0049】****【発明の効果】**

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、不揮発性メモリを内蔵したカード型記憶装置の互換性を保証しつつデータ転送の高速化を達成することができるという効果がある。

**【図面の簡単な説明】****【図1】**

本発明が適用される不揮発性メモリを内蔵したメモリカードの構成例を示すブロック図である。

**【図2】**

図1のメモリカードのホストインタフェース部の第1の実施例を示すブロック図である。

**【図3】**

カードが挿入された装置が従来タイプのMMCに対応した装置である場合における第1の実施例のメモリカードのホストインタフェース部の動作を示すタイミングチャートである。

**【図4】**

カードが挿入された装置が高速版シリアルMMCに対応した装置である場合における第1の実施例のメモリカードのホストインタフェース部の動作を示すタイミングチャートである。

**【図 5】**

カードが挿入された装置が高速版 4 ビット MMC に対応した装置である場合における第 1 の実施例のメモリカードのホストインタフェース部の動作を示すタイミングチャートである。

**【図 6】**

カードが挿入された装置が高速版 8 ビットの MMC に対応した装置である場合における第 1 の実施例のメモリカードのホストインタフェース部の動作を示すタイミングチャートである。

**【図 7】**

本発明を適用したメモリカードのホストインタフェース部の第 2 の実施例を示すブロック図である。

**【図 8】**

カードが挿入された装置が高速版 4 ビット MMC に対応した装置である場合における第 2 の実施例のメモリカードのホストインタフェース部の動作を示すタイミングチャートである。

**【符号の説明】**

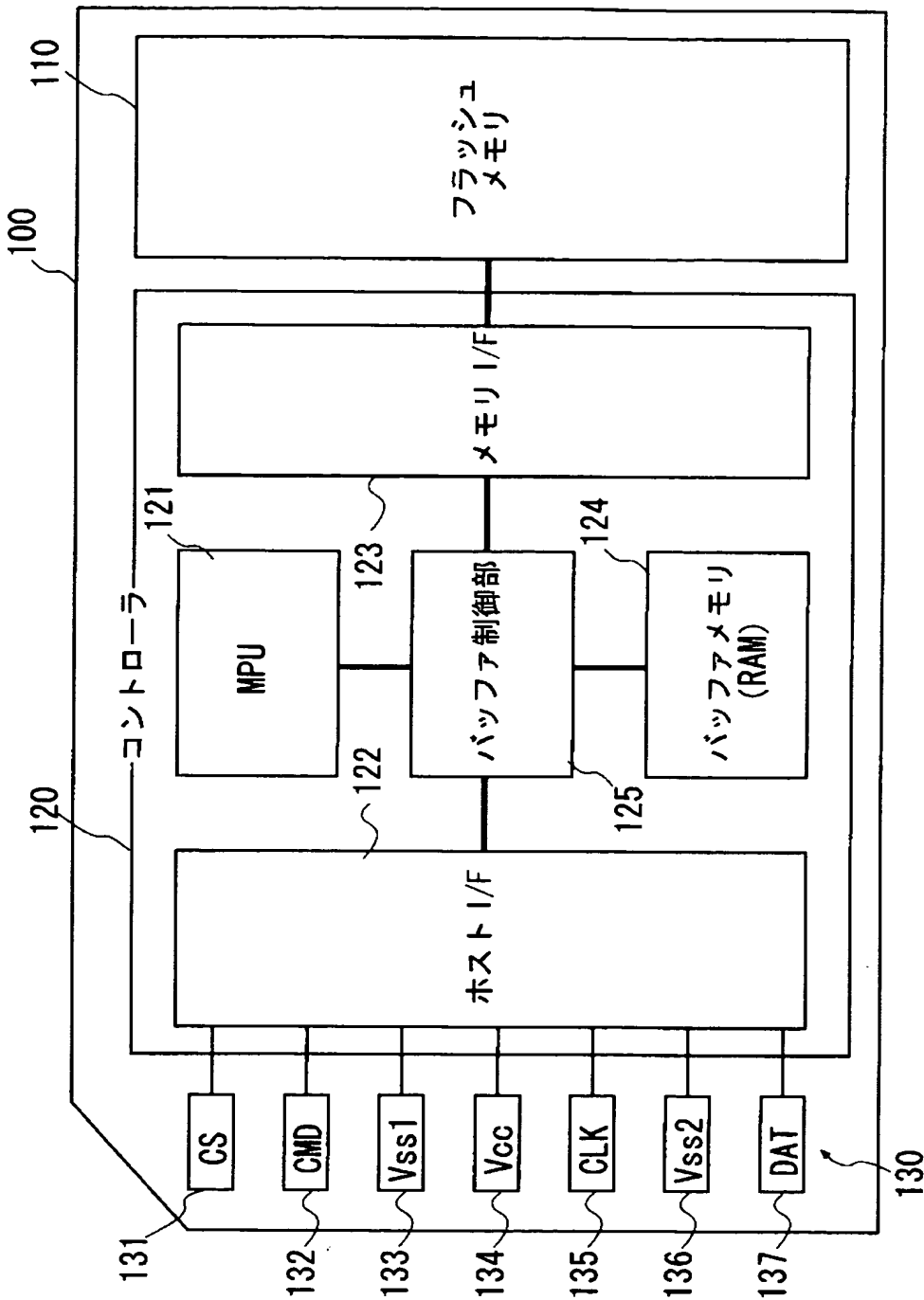
- 100   メモリカード
- 110   フラッシュメモリ
- 120   コントローラ
- 121   マイクロプロセッサ (MPU)
- 122   ホストインタフェース部
- 123   メモリインタフェース部
- 124   バッファメモリ
- 125   バッファ制御部
- 130   外部端子群
- 131～143   外部端子
- 221   レベル検出回路
- 222   タイミング生成回路
- 223   データ転送回路

R 0 ～ R 7 プルアップ抵抗

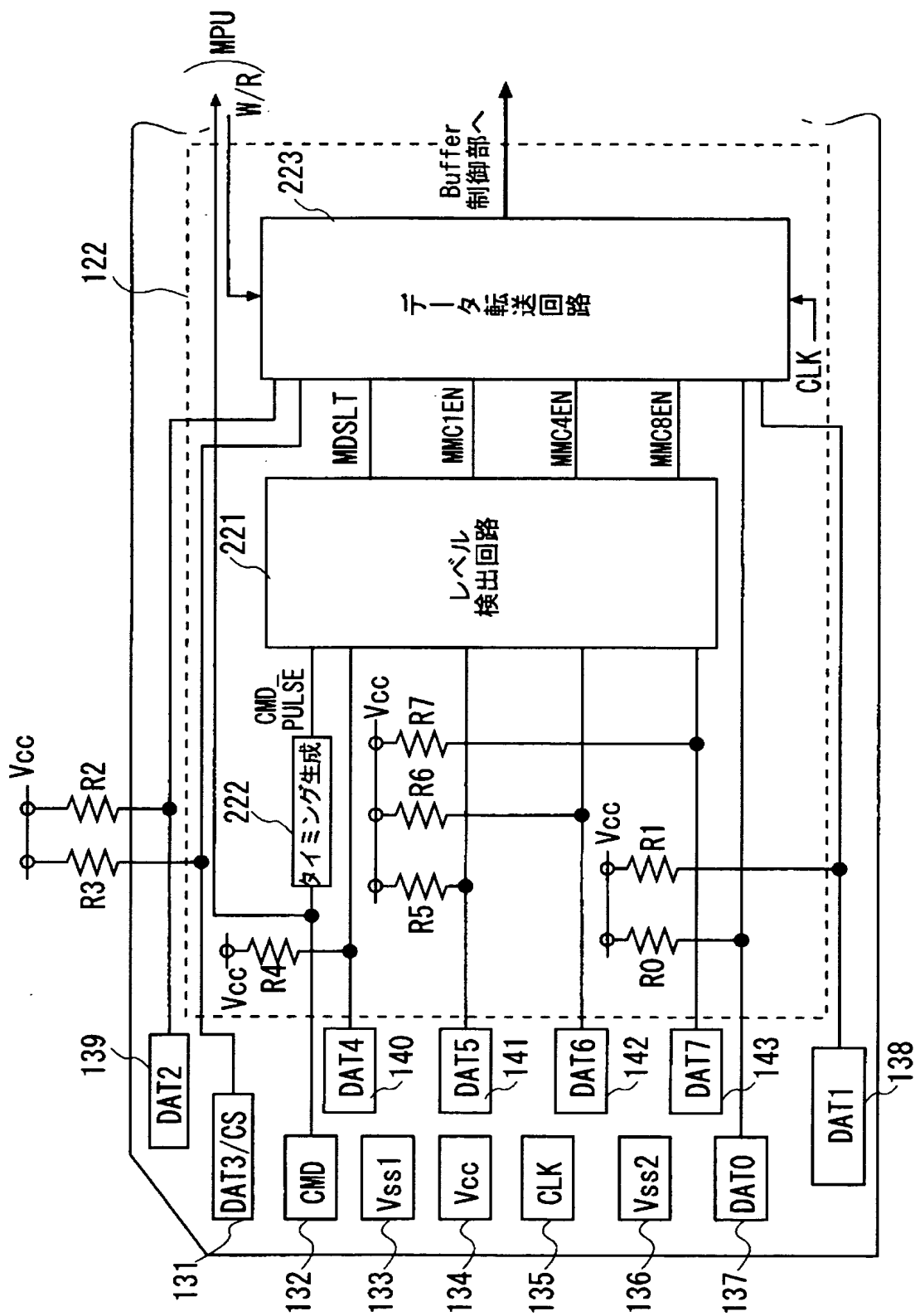
【書類名】

図面

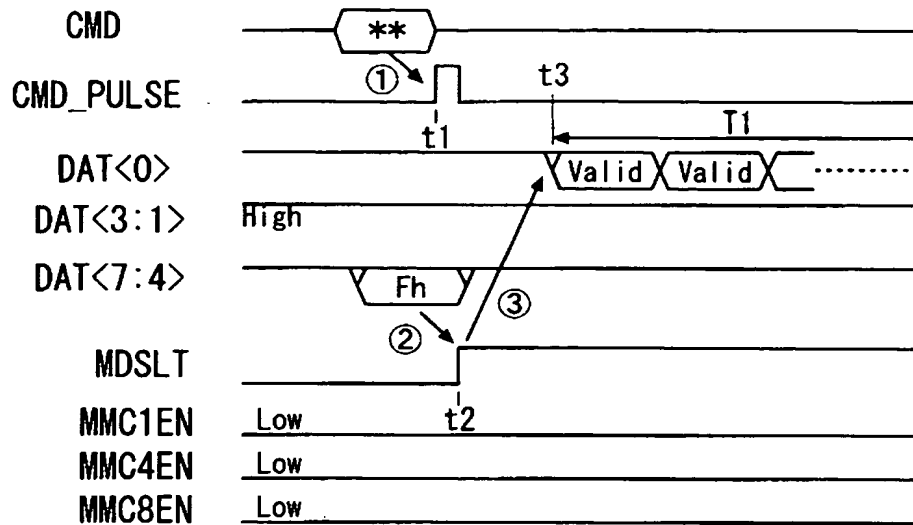
【図 1】



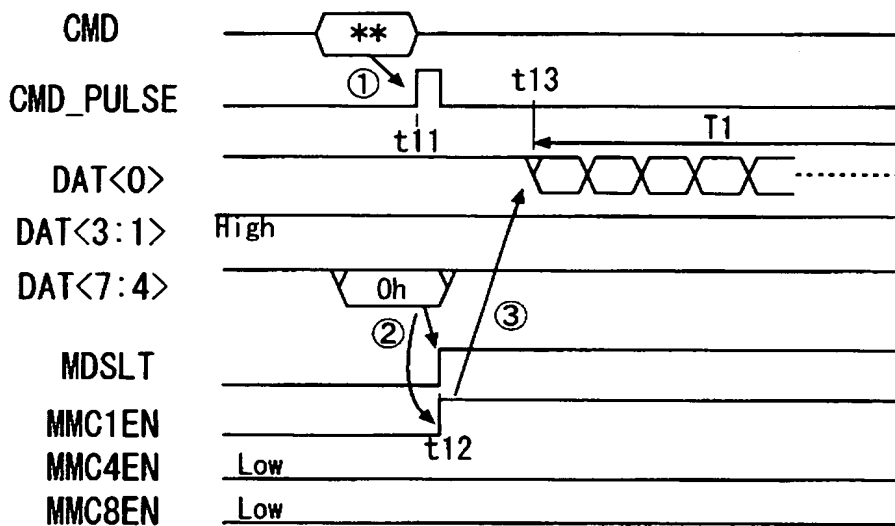
【圖 2】



【図 3】

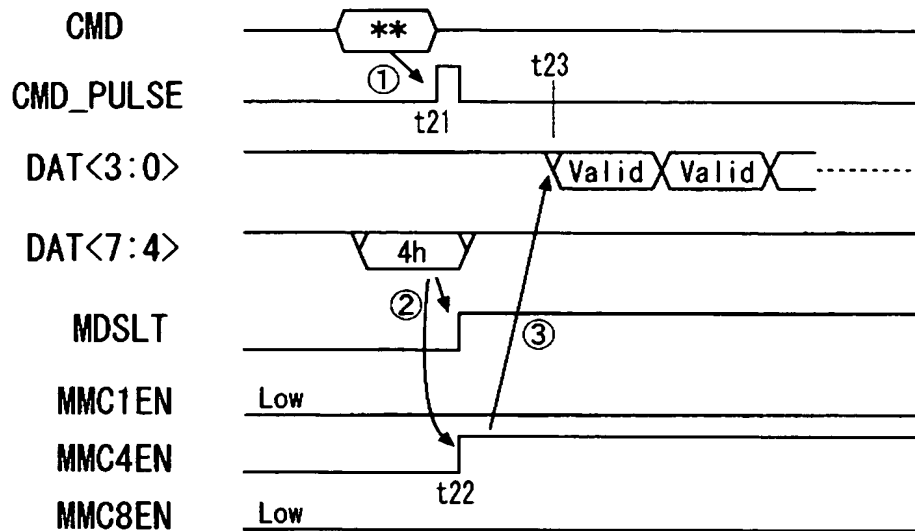


【図 4】

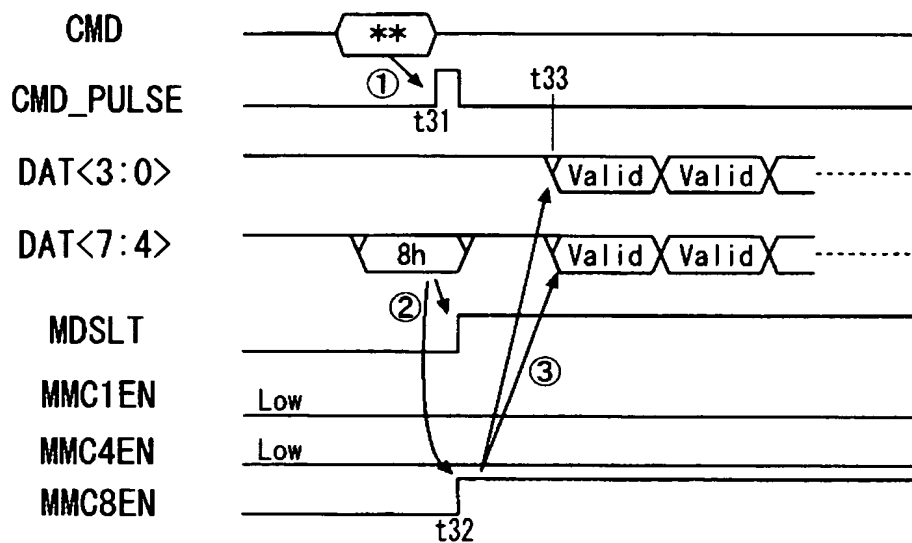




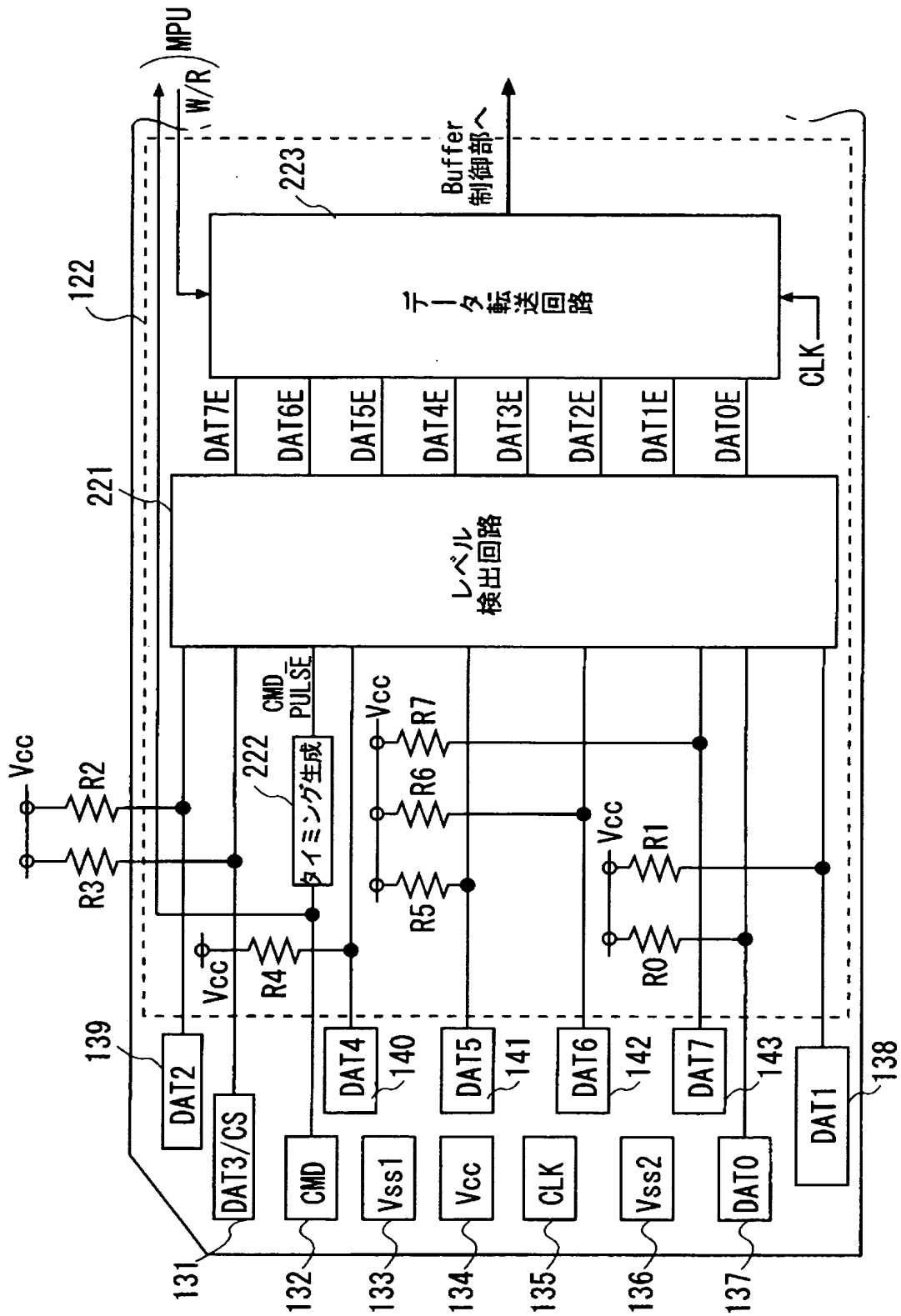
【図 5】



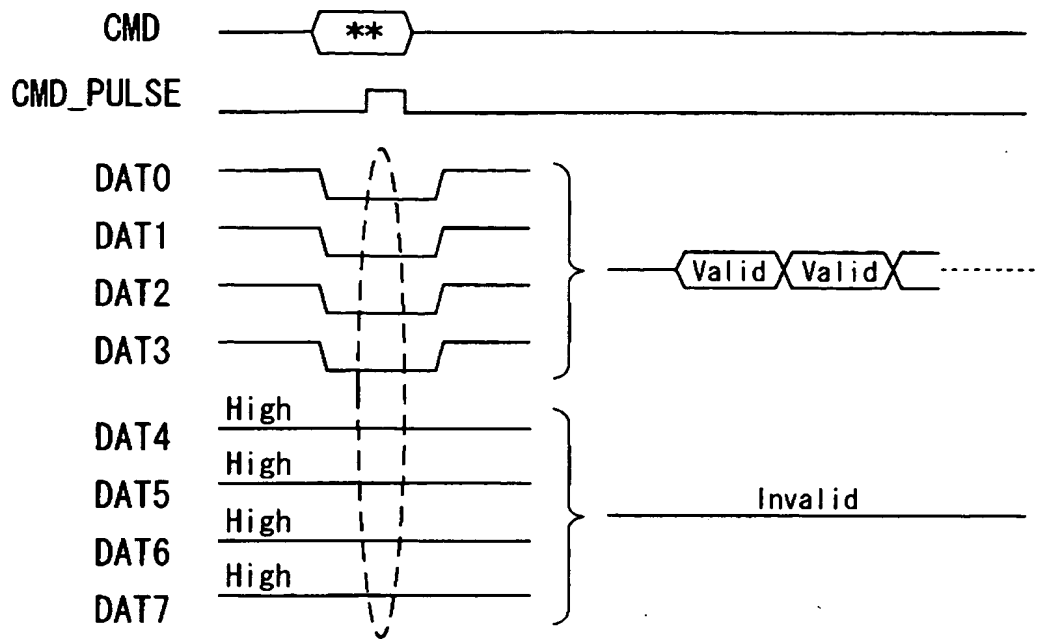
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 不揮発性メモリを内蔵したカード型記憶装置における互換性を保証しつつデータ転送の高速化を達成するための技術を提供する。

【解決手段】 不揮発性メモリ（1 1 0）を内蔵したカード型記憶装置において、データ端子（1 3 1， 1 3 7～1 4 3）を複数個設けるとともにインタフェース部（1 2 2）にはデータ端子のレベルを判別する回路（2 2 1）を設け、上記複数のデータ端子のすべてもしくは幾つかを電源電圧にプルアップするプルアップ抵抗（R 0～R 7）を接続し、上記判別回路がプルアップ抵抗が接続されたデータ端子がオープン状態にあると判定し場合にはデータのバス幅（ビット数）を切り替えるように構成した。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 3 0 3 0 9
受付番号	5 0 3 0 0 1 9 6 0 7 4
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 2 月 1 0 日

< 認定情報・付加情報 >

【提出日】 平成15年 2月 7日

次頁無

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 30309

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【提出物件の目録】

【包括委任状番号】 0308733

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け  
提出の会社分割による特許権移転登録申請書 を援用  
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 3 - 1 0 8 7 1 2 号 同日提出の出願人  
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 3 0 3 0 9
受付番号	5 0 3 0 1 2 3 2 4 5 3
書類名	出願人名義変更届（一般承継）
担当官	末武 実 1 9 1 2
作成日	平成 1 5 年 9 月 2 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 25 日

特願 2 0 0 3 - 0 3 0 3 0 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1 . 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所



特願 2 0 0 3 - 0 3 0 3 0 9

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年    4 月    1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ